

## Best Available Copy

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-47263

(P 2 0 0 0 - 4 7 2 6 3 A)

(43)公開日 平成12年2月18日(2000.2.18)

(51) Int.CI.	識別記号	F I	マークド (参考)
G02F 1/136	500	G02F 1/136	500 2H092
C23F 1/20		C23F 1/20	4K057
H01L 21/306		H01L 21/306	F 5P043
29/786		29/78	617 J
21/336			627 C

審査請求 未請求 請求項の数28 O.L. (全16頁)

(21)出願番号 特願平10-218063  
 (22)出願日 平成10年7月31日(1998.7.31)

(71)出願人 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号  
 (72)発明者 石田 幸政  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 (74)代理人 100091340  
 弁理士 高橋 敏四郎

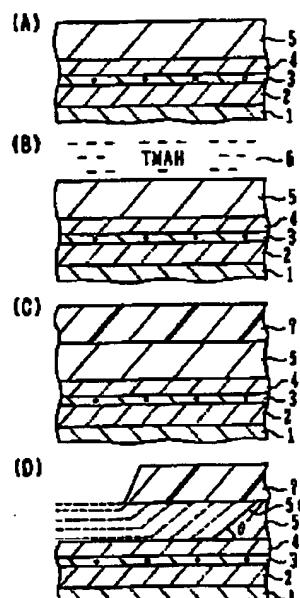
最終頁に続く

(54)【発明の名称】エッティング方法、薄膜トランジスタマトリックス基板、およびその製造方法

## (57)【要約】

【課題】 エッティング、薄膜トランジスタマトリックス基板およびその製造方法に関し、段差を緩和することのできるエッティング方法を提供する。

【解決手段】 下地表面上にA1またはA1合金の層を形成する工程と、前記A1またはA1合金の層の表面をTMAHで処理する工程と、前記TMAHで処理したA1またはA1合金の層の表面上にレジストパターンを形成する工程と、前記レジストパターンをエッティングマスクとして用い、前記A1またはA1合金の層をウエットエッティングする工程とを含む。



1:ガラス基板 5:金属層  
 2,4:SiO<sub>2</sub>層 6:TMAH水溶液  
 3:多結晶Si層 7:レジスト層

## 【特許請求の範囲】

【請求項1】 (a) 下地表面上にA1またはA1合金の層を形成する工程と、

(b) 前記A1またはA1合金の層の表面をTMAHで処理する工程と、

(c) 前記TMAHで処理したA1またはA1合金の層の表面上にレジストパターンを形成する工程と、

(d) 前記レジストパターンをエッチングマスクとして用い、前記A1またはA1合金の層をウエットエッチングする工程とを含むA1またはA1合金の層のエッチング方法。

【請求項2】 前記工程(d)は、前記レジストパターンがない領域で前記A1またはA1合金の層の全厚さをエッチングした後、

前記レジストパターンの下の前記A1またはA1合金の層をさらにテーパエッチングすることを含む請求項1記載のA1またはA1合金の層のエッチング方法。

【請求項3】 前記工程(c)は、前記A1またはA1合金の層の上にレジスト層を塗布するサブ工程と、前記レジスト層を選択的に露光するサブ工程と、前記露光されたレジスト層を現像してレジストパターンを形成する工程と、前記レジストパターンをポストペークするサブ工程とを含む請求項2記載のA1またはA1合金の層のエッチング方法。

【請求項4】 前記レジストパターンをポストペークするサブ工程は、前記レジストパターンを60°C~140°Cの温度に加熱することを含む請求項3記載のA1またはA1合金の層のエッチング方法。

【請求項5】 さらに、(e) 前記レジストパターンをエッチングマスクとして前記下地表面を異方的にドライエッティングする工程を含む請求項2~4のいずれかに記載のA1またはA1合金の層のエッチング方法。

【請求項6】 (a) 下地表面上にA1またはA1合金の層を形成する工程と、

(b) 前記A1またはA1合金の層の表面の自然酸化膜または自然水和膜をスライテエッチする工程と、

(c) 前記A1またはA1合金の層の表面上にレジストパターンを形成する工程と、

(d) 前記レジストパターンをエッチングマスクとして用い、前記A1またはA1合金の層をウエットエッチングする工程とを含むA1またはA1合金の層のエッチング方法。

【請求項7】 前記工程(b)が、TMAH、コリン、EDTA、または希硫酸を含む水溶液で処理することを含む請求項6記載のA1またはA1合金の層のエッチング方法。

【請求項8】 (a) 下地表面上に、エッティングレートの高い表面層を有する金属層を形成する工程と、

(b) 前記金属層の表面をTMAHで処理する工程と、

(c) 前記レジストパターンをエッチングマスクとして

用い、前記金属層をウエットエッティングする工程と、を含むエッティング方法。

【請求項9】 前記金属層は、A1またはA1合金の第1の金属層と第1の金属層の上に形成されたT1の第2の金属層とで形成されている請求項8記載のエッティング方法。

【請求項10】 平坦な表面を有する絶縁基板と、前記絶縁基板の平坦な表面上に形成され、半導体よりも複数の島状パターンと、

前記複数の島状パターンの各々の中間部を横断して形成されたゲート絶縁膜と、

前記ゲート絶縁膜の両側部を羽根状に露出して、その中央部上に形成され、前記平坦な表面の法線に対して傾斜し、順テーパを形成する側面と、前記法線に対してほぼ垂直な上面とを有するゲート電極兼ゲート配線のゲート層とを有する薄膜トランジスタマトリックス基板。

【請求項11】 前記傾斜した側面は、前記平坦な表面に対して一定の傾斜角度を有する請求項10記載の薄膜トランジスタマトリックス基板。

【請求項12】 前記傾斜角度は、20°~70°の範囲の角度である請求項11記載の薄膜トランジスタマトリックス基板。

【請求項13】 前記ゲート層に覆われていない、前記絶縁膜の羽根状部分が約0.1μm~約2μmの幅を有する請求項10~12のいずれかに記載の薄膜トランジスタマトリックス基板。

【請求項14】 前記ゲート絶縁膜が、前記平坦な表面の法線に対して傾斜し、順テーパを形成する側面を有する請求項10~13のいずれかに記載の薄膜トランジスタマトリックス基板。

【請求項15】 前記ゲート絶縁膜の側面が前記平坦な表面に対して40°~80°の範囲の角度を形成する請求項14記載の薄膜トランジスタマトリックス基板。

【請求項16】 前記ゲート層が、A1またはA1合金で形成されている請求項10~15のいずれかに記載の薄膜トランジスタマトリックス基板。

【請求項17】 前記ゲート絶縁膜および前記ゲート層は、前記島状パターンの外部まで延在し、さらに前記ゲート層を覆って前記絶縁基板上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成され、前記島上パターンの外部で前記ゲート層と交差するバス配線層とを有する請求項10~16のいずれかに記載の薄膜トランジスタマトリックス基板。

【請求項18】 前記島状パターンは、前記ゲート絶縁膜に覆われていない部分に形成され、高不純物濃度を有する高濃度領域と、前記ゲート絶縁膜に覆われ、前記ゲート層に覆われていない部分に形成され、前記高不純物濃度よりも低い低不純物濃度を有する低濃度領域と、前記低濃度領域に連続して前記ゲート層下方に向かって形

成され、前記低濃度領域から離れるに従って不純物濃度が低下する濃度勾配領域とを含む請求項10～17のいずれかに記載の薄膜トランジスタマトリックス基板。

【請求項19】 前記ゲート層の傾斜した側面は、前記絶縁基板側に配置され、前記平坦な表面に対して第1の角度を形成する第1側面部と、前記第1側面部よりも前記絶縁基板から離れた位置に配置され、前記平坦な表面に対して前記第1の角度よりも小さい第2の角度を形成する第2側面部とを含む請求項10記載の薄膜トランジスタマトリックス基板。

【請求項20】 (a) 絶縁基板上に半導体層を形成する工程と、

(b) 前記半導体層上にゲート絶縁膜を形成する工程と、

(c) 前記ゲート絶縁膜上にA1またはA1合金からなるゲート層を形成する工程と、

(d) 前記ゲート層表面をTMAHで処理する工程と、

(e) 前記TMAHで処理したゲート層表面上にレジストパターンを形成する工程と、

(f) 前記レジストパターンをエッティングマスクとして前記ゲート層を順テープの側壁を形成しつつウエットエッティングする工程と、

(g) 前記レジストパターンをエッティングマスクとして前記ゲート絶縁膜を異方的にドライエッティングする工程とを含む薄膜トランジスタマトリックスの製造方法。

【請求項21】 前記工程(f)は、前記レジストパターンがない領域で前記ゲート層の全厚さをエッティングした後、前記レジストパターン下のゲート層をテープエッティングすることを含む請求項20記載の薄膜トランジスタマトリックスの製造方法。

【請求項22】 前記工程(e)は、順テープの側面を有するレジストパターンを形成し、前記工程(g)は前記レジストパターンを消費しつつ順テープの側面を有するゲート絶縁膜のパターンを形成する請求項21記載の薄膜トランジスタマトリックスの製造方法。

【請求項23】 さらに、

(h) 前記工程(g)後、前記レジストパターンを除去する工程と、

(i) 前記工程(h)後、前記半導体層に不純物イオンを打ち込む工程とを含む請求項20～22のいずれかに記載の薄膜トランジスタマトリックスの製造方法。

【請求項24】 前記工程(i)は、不純物イオンが、前記ゲート絶縁膜を通過して前記半導体層に打ち込まれる加速エネルギーで行う第1のイオン打ち込み工程と、不純物イオンが前記ゲート絶縁膜を通過できない加速エネルギーで行う第2のイオン打ち込み工程とを含む請求項23記載の薄膜トランジスタマトリックスの製造方法。

【請求項25】 前記工程(e)は、前記ゲート層表面上にレジスト層を塗布するサブ工程と、前記レジスト層を選択的に露光するサブ工程と、前記レジスト層を現像

してレジストパターンを形成するサブ工程と、前記レジストパターンをポストペークするサブ工程とを含む請求項20～24記載の薄膜トランジスタマトリックスの製造方法。

【請求項26】 前記ポストペークするサブ工程は、前記レジストパターンを60℃～140℃の温度に加熱することを含む請求項25記載の薄膜トランジスタマトリックスの製造方法。

10 【請求項27】 前記工程(f)は、磷酸、硝酸を含む水溶液をエッチャントとして用いる請求項20～25のいずれかに記載の薄膜トランジスタマトリックスの製造方法。

【請求項28】 (a) 絶縁基板上に半導体層を形成する工程と、

(b) 前記半導体層上にゲート絶縁膜を形成する工程と、

(c) 前記ゲート絶縁膜上にA1またはA1合金からなる第1ゲート層を形成する工程と、

(d) 前記第1ゲート層表面上にTiからなる第2ゲート層を形成する工程と、

(e) 前記第2ゲート層表面上にレジストパターンを形成する工程と、

(f) 前記レジストパターンをエッティングマスクとして前記第1および第2ゲート層をウェットエッティングする工程と、

(g) 前記レジストパターンをエッティングマスクとして前記ゲート絶縁膜を異方的にエッティングする工程とを含む薄膜トランジスタマトリックスの製造方法。

【発明の詳細な説明】

30 【0001】

【発明の属する技術分野】 本発明は、エッティング、薄膜トランジスタマトリックス基板およびその製造方法に関する。

【0002】

【従来の技術】 エッティング方法としてウエットエッティング、ドライエッティングが知られている。ウエットエッティングは、液体をエッチャントとして用いるエッティングであり、その多くはマスク下の領域も横方向からエッティング(サイドエッティング)する性質を有する。ドライエッティングは、ガスをエッチャントとして用いるエッティングであり、マスク下の領域もエッティングする等方性エッティングと、マスク外に露出した領域のみをほぼ一方向にエッティングする異方性エッティングとを含む。種々のエッティングが目的に応じて使い分けられている。

【0003】 アクティブマトリックス液晶ディスプレイは、画素毎にスイッチング用薄膜トランジスタを有し、画素電極に所望の電圧を蓄積することができる。たとえば、ガラス等の透明基板上に互いに交差する2群のバスラインが形成され、各交点に薄膜トランジスタと画素電極とを有する画素が形成される。1群のバスラインは薄

膜トランジスタのゲート電極に接続され、各々1行の画素を選択する。他の群のバスラインは、1行分の画像情報を電圧の形態で選択された1行の画素に伝達する。

【0004】画素電極に所望の電圧を十分長時間蓄積するためには、薄膜トランジスタはオフ時のリーク電流が十分低い優れたオフ特性を有することが望まれる。書き換え時に短期間で画素電極の電圧を所望の電圧に設定するためには、薄膜トランジスタはオン時の抵抗が十分低い優れたオン特性を有することが望まれる。

【0005】薄膜トランジスタの構造として種々のものが知られているが、以下チャネルを形成する半導体層がガラス基板上に形成され、その上にゲート絶縁膜、ゲート電極が形成される構造を例にとる。

【0006】絶縁基板上に、各薄膜トランジスタを作成するための半導体層の島状パターンを形成し、その上にゲート絶縁膜、ゲート層を成膜する。ゲート層上にレジストパターンを形成し、ゲート電極（およびゲート配線）のバーニングを行った後、ゲート電極をマスクとして半導体層にイオン注入を行う。このような工程によれば、1枚のマスクでゲート電極層のバーニングとイオン注入時のマスクを形成することができる。

【0007】ゲート電極のバーニングと同時にゲート絶縁膜もバーニングすれば、ゲート電極より外側の半導体層が剥き出しになり、イオン注入の効率を上げることができる。

【0008】しかしながら、ゲート電極層とゲート絶縁膜を同一形状にバーニングすると、段差が高くなる。配線領域を狭くしようとすると、ゲート電極層の厚さは厚くなり、段差はますます高くなる。高い段差部においては、その上に形成する層間絶縁膜、他の配線層の段差被覆性が低下し、層間絶縁膜にクラックが生じたり、配線の断線や層間短絡が発生し易くなる。

【0009】ゲート電極の側方にゲート絶縁膜を張り出し、このゲート絶縁膜を介してイオン注入を行うことにより、LDD（lightly doped drain）構造の低不純物濃度領域を形成する技術が提案されている。例えば、ゲート電極層の側方に陽極酸化膜を形成し、これをマスクとしてゲート絶縁膜をエッチングし、露出した半導体層にイオン注入を行うことにより高不純物濃度のソース／ドレイン領域を形成し、陽極酸化膜を除去した後、再びイオン注入を行ってゲート絶縁膜下に低不純物濃度領域をイオン注入する。

【0010】この場合にも、ゲート電極層が厚くなると、段差が高くなり、上層配線の段差被覆性が劣化してしまう。また、ゲート電極の陽極酸化膜をマスクとしてゲート絶縁膜をエッチングすると、導電性物質の堆積物がゲート絶縁膜側壁上に堆積され易い。このような導電性堆積物は、その後の熱処理等により針状に成長しやすく、上層配線の段差被覆性を劣化させてしまう。

【0011】

【発明が解決しようとする課題】積層構造を作成する場合、上層の段差被覆性を改善するためには、段差を緩和することが望まれる。しかしながら、ガラス基板等の絶縁基板上に薄膜トランジスタ回路を作成する場合、段差を緩和する技術は十分開発されているとは言えない。

【0012】多結晶半導体を用いた薄膜トランジスタにおいて、オフ時のリーク電流を低減し、オン時のホットキャリアによるゲート絶縁膜のダメージを低減するためには、LDD構造やオフセット構造を採用することが望まれる。しかしながら、これらの構造を採用するために、工程数が増大し、マスク数が増加すると、薄膜トランジスタ回路の製造コストが上昇してしまう。

【0013】本発明の目的は、段差を緩和することができるエッチング方法を提供することである。

【0014】本発明の他の目的は、段差被覆性に優れた薄膜トランジスタマトリックス基板の製造方法を提供することである。

【0015】本発明の他の目的は、製造原価を低く抑え、かつ段差被覆性に優れた薄膜トランジスタマトリックス基板を提供することである。

【0016】

【課題を解決するための手段】本発明の一観点によれば、下地表面上にA1またはA1合金の層を形成する工程と、前記A1またはA1合金の層の表面をTMAHで処理する工程と、前記TMAHで処理したA1またはA1合金の層の表面上にレジストパターンを形成する工程と、前記レジストパターンをエッチングマスクとして用い、前記A1またはA1合金の層をウエットエッチングする工程とを含むA1またはA1合金の層のエッチング方法が提供される。

【0017】TMAH（テトラメチルアンモニウムハイドロオキサイド）で処理したA1またはA1合金の層をウエットエッチングすると、順テーパを有する側壁が形成される。側壁が順テーパ状になることにより、上層の段差被覆性が改善される。

【0018】本発明の他の観点によれば、平坦な表面を有する絶縁基板と、前記絶縁基板の平坦な表面上に形成され、半導体よりなる複数の島状パターンと、前記複数の島状パターンの各々の中間部を横断して形成されたゲート絶縁膜と、前記ゲート絶縁膜の両側部を羽根状に露出して、その中央部に形成され、前記平坦な表面の法線に対して傾斜し、順テーパを形成する側面と、前記法線に対してほぼ垂直な上面とを有するゲート電極兼ゲート配線のゲート層とを有する薄膜トランジスタマトリックス基板が提供される。

【0019】本発明のさらに他の観点によれば、絶縁基板上に半導体層を形成する工程と、前記半導体層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にA1またはA1合金からなるゲート層を形成する工程と、前記ゲート層表面をTMAHで処理する工程と、前記T

50

MAHで処理したゲート層表面上にレジストパターンを形成する工程と、前記レジストパターンをエッティングマスクとして前記ゲート層を順テープの側壁を形成しつつウエットエッティングする工程と、前記レジストパターンをエッティングマスクとして前記ゲート絶縁膜を異方的にドライエッティングする工程とを含む薄膜トランジスタマトリックスの製造方法が提供される。

【0020】ゲート層の側壁を順テープ状にすることにより、その上に形成する層間絶縁膜および他の配線層の段差被覆性が改善される。

【0021】ゲート絶縁膜のエッティング時に、ゲート層の表面をレジストパターンで覆うことにより、ゲート絶縁膜側壁上に導電性堆積物が発生することを防止できる。

#### 【0022】

【発明の実施の形態】それぞれが所望の形状を有する複数の層を積層する場合、下層の側壁が垂直になると、上層の段差被覆性が低下してしまう。下層の側壁が、逆テープとなると、上層の段差被覆性はさらに低下する。上層の段差被覆性を向上するためには、下層パターンの側壁を順テープ状に形成することが有効である。多層配線の場合には、下層配線の側壁を順テープ状に形成することが特に有効である。

【0023】本発明者は、金属層のバーニングにおいて、側壁が順テープ状になるようにエッティングする技術を提案する。

【0024】図1(A)～(D)は、本発明の1実施例による金属層のエッティング方法を示す基板の概略断面図である。

【0025】図1(A)に示すように、ガラス基板1の平坦な表面上に、ガラスからの不純物混入を防止するためのSiO<sub>2</sub>層2を厚さ約200nm、基板温度約300℃でプラズマ励起(P E)化学気相堆積(CVD)により堆積した。SiO<sub>2</sub>層2の上に、厚さ約50nmのアモルファスSi層3をCVDによって堆積した。このアモルファスSi層3にレーザアニールを行い、アラファスSiを多結晶Siに変換し、多結晶Si層3とした。多結晶Si層3の上に、SiO<sub>2</sub>層4を厚さ約120nm、基板温度約300℃でPECVDにより堆積した。SiO<sub>2</sub>層4の上に、AlまたはAl合金からなる金属層5を厚さ約300nm、スパッタリングにより堆積した。なお、Al合金としては、NdまたはScを含むAl合金を用いた。また、金属層5の厚さが300nmであった場合について説明するが、厚さ200～400nmの金属層5を有するサンプルを用い、同様の結果を得た。

【0026】なお、図1(A)に示す構造は、ガラス基板上に薄膜トランジスタ(TFT)を作成する場合の、半導体層とゲート電極層とに対応する構成である。

【0027】図1(B)に示すように、2.2%TMA

H(テトラメチルアンモニウムハイドロオキサイド)水溶液6を準備し、基板をこのTMAH水溶液に約60秒間ディップした。その後純水洗浄を行い、金属層5表面を乾燥させる。

【0028】図1(C)に示すように、金属層5表面にレジスト層7を塗布した。レジスト層7塗布後、110℃でブリペークを行い、レジスト層7を選択的に露光し、現像した。露光、現像後、さらに基板を加熱し、レジストパターンをポストペークした。

【0029】図1(D)に示すように、このようにして作成したレジストパターン7aをエッティングマスクとして用い、その下の金属層5をウエットエッティングした。図中、エッティングされ、徐々に変化する表面を破線で示している。金属層5の側壁5sは、下地表面に対し一定の順テープ角度を形成し、かつエッティング時間と共にほぼ一定の速度でレジストパターン7a下に入り込んで行く。以下、実験結果をグラフを用いて説明する。

【0030】図2(A)、(B)は、エッティング時間の関数としてのエッティングシフト量およびテーパ角を示す。エッティングシフト量は、図1(D)に示すレジストパターン7aの端から、エッティングされた側壁表面が移動する量を示す。テーパ角は、下地4表面と金属層5の側壁5sのなす角度θを指す。なお、図2(A)、

(B)に示す結果は、ポストペークを100℃において行い、エッティング時間を70秒から140秒まで変化させた時のものである。

【0031】図2(A)から明らかなように、エッティング時間に対しエッティングシフト量はリニアに変化する。従って、エッティング時間によってエッチされた金属層の側壁位置を正確に制御することが可能である。

【0032】図2(B)から明らかなように、テーパ角はエッティング時間に対する依存性が少なく、ほぼ一定の値を示す。ポストペーク温度を100℃とした場合、テーパ角はほぼ35°である。なお、エッティング時間が短い領域において、テーパ角がわずかに上昇する傾向が見られる。しかしながら、エッティング時間を約10秒以上とした場合、テーパ角はほとんど一定値を示している。この実験結果は、エッティング時間によらず所望のテーパ角が得られることを示している。

【0033】テーパ角は、レジスト層を露光、現像した後に行うポストペークの温度を変化することによって変化させることができる。

【0034】図3は、ポストペーク温度に対するテーパ角の変化を示すグラフである。図2(B)に示したように、ポストペーク温度が100℃の場合、テーパ角は約35°であるが、ポストペーク温度を低下させると、テーパ角度も低下する。また、ポストペーク温度を増加させると、テーパ角も増大する。ポストペーク温度140℃の時得られるテーパ角は約70°である。なお、140℃以上のポストペーク温度においては、テーパ角の変

化は徐々に少なくなる。

【0035】なお、図中ポストピーク温度として80℃未満の温度は示していないが、より低温で行うことにより、テーべ角は小さくなる。例えば、ポストピーク温度をほぼ室温とすると、テーべ角は約15°程度となる。約60℃～140℃のポストピーク温度を用いることにより、約20°～約70°のテーべ角が得られることが図3から明らかであろう。

【0036】なお、図3に示す特性の場合、ポストピークを約120℃で行い、約55°のテーべ角を得る場合が、特徴的な等方性ポイントとなった。等方性ポイントよりも高いポストピーク温度を採用すると、テーべ角は大きくなるが、この場合、エッティングを長時間行うとエッティングされた側壁上部にオーバーハングが入りやすくなる。従って、オーバーハングを避けるためには、エッティング量が制限される。但し、エッティング量が少ない場合には所望のテーべ角を得るのに問題はない。

【0037】等方性ポイントよりも低いポストピーク温度においては、エッティング反応が可能な範囲でどんなに長時間のエッティングを行ってもオーバーハングが生じることではなく、一定のテーべ角が得られる。

【0038】このように、レジスト塗布前にA1またはA1合金の層表面をTMAHで処理することにより、一定の順テーべ角を有する側壁が得られる。さらに、露光、現像後のポストベーリング温度を変化させることにより、テーべ角を選択することができる。

【0039】本願発明者は、TMAH処理によってA1（またはA1合金）のウエットエッティングにおいて一定の順テーべ側壁が得られる理由を以下のように考察した。

【0040】A1は化学的に活性な表面を有し、自然酸化膜または自然水和膜が形成されやすい。TMAHは、この自然酸化膜または自然水和膜を除去する能力がある。A1（A1合金）表面に自然酸化膜、自然水和膜等の変質膜が存在すると、エッティングレートが遅くなる。

【0041】レジストパターン下部に入り込むサイドエッティングを行った場合、A1（またはA1合金）表面のエッティング速度が遅くなるため、始め順テーべ面を形成していた側壁が、次第に表面部分で後退し、オーバーハングを形成することになる。これに対し、A1（またはA1合金）表面の変質膜を除去すると、金属層全体が一定のエッティングレートを有するようになり、エッティング時間によらず一定の順テーべ角が得られることになる。

【0042】このように考察すると、A1（A1合金）の表面変質層を除去する処理を行えば、同様の順テーべ面を有するサイドエッティング（テーべエッティング）が可能となるであろう。A1（A1合金）層の表面の自然酸化膜または自然水和膜を除去する効果を有する薬剤として、コリン、エチレンジアミンテトラアセテート（エチレンジアミン4酢酸、EDTA）、エチレングリコール

や界面活性剤を含む希硫酸性水溶液等がある。これらの薬剤で処理することによっても、A1（A1合金）層をサイドエッチし、順テーべ面を有する側壁を得ることができるであろう。

【0043】なお、この処理において、下地となるA1（またはA1合金）層自体にダメージを与えることは好ましくないが、上述の薬剤はA1（またはA1合金）層にダメージを与えない。

【0044】TMAH水溶液へのディップ時間は約60秒であった。この時のA1表面変質層のスライトエッティング量は、25℃の2.2%TMAH水溶液に対して約10nmである。

【0045】表面酸化膜または表面水和膜の膜厚は、光学的計測によれば、5～15nmである。この結果から、表面変質層を全て除去しなくとも十分な順テーべ効果が得られると考えられる。従って、本明細書において、表面変質層を「除去」する工程とは、少なくともその一部を除去する工程であればよい。以下、上述の実験により確認された効果を利用した実施例を説明する。

【0046】図4（A）～（C）は、本発明の実施例による薄膜トランジスタの製造方法を示す基板の断面図である。

【0047】図4（A）に示すように、ガラス基板上にSiO<sub>2</sub>層を形成した絶縁基板11の表面上に、多結晶Siで形成した半導体層13をCVD、レーザアニールによって作成する。半導体層13作成後、その表面上にレジストパターンを形成し、エッティングを行うことによって互いに分離された複数の島状パターンの半導体層13とする。

【0048】半導体層13を覆うように、ゲート絶縁膜となるSiO<sub>2</sub>層14をPECVDにより堆積する。ゲート絶縁膜14表面上に、A1またはA1合金からなるゲート層15をスピッタリングにより堆積する。なお、ゲート層15としては、A1の外、耐熱性向上のためにNd、Si、Mo、W、B、Ti、Ta、Zr、Y、Scを添加したA1合金を用いることができる。例えば、2at%～4at%のNdを含むA1合金を用いる。

【0049】ゲート層15堆積後、その表面をTMAH水溶液で処理する。このTMAH処理は、図1（B）を参照して説明したTMAH処理と同様に行う。

【0050】ゲート層の上に、レジストパターン17をレジスト層塗布、露光、現像によって作成する。なお、レジストパターン17は、好ましくは図示のように下側で拡がるテーべ状側壁を有する。

【0051】レジストパターン17を作成した後、基板を加熱し、レジストパターン17をポストベーリングする。ポストベーリング温度は、ゲート層15のウエットエッティングにおいて所望のテーべ角が得られるように選択する。例えば、20°～70°、より好ましくは20°～55°のテーべ角を得るように、60℃～140

℃、より好みしくは60℃～120℃のポストベーキングを行う。

【0052】レジストパターン17をエッティングマスクとし、その下のゲート層15を磷酸、硝酸、酢酸を含む水溶液をエッチャントとして用い、ウエットエッティングする。

【0053】レジストパターン17がない領域でゲート層15がその全厚さをエッティングされた後、さらに約50%以上のオーバエッティングを行う。このオーバエッティングにおいて、レジストパターン17の外周部下方のゲート層15は、一定の順テーパ角を保ったままサイドエッティングされる。このサイドエッティングによって、ゲート層15の側壁は一定のテーパ角を維持したまま内側に移動する。

【0054】図4(B)に示すように、ゲート層15のウエットエッティングを終了した後、同一のレジストパターン17を用いて、ゲート絶縁膜14を、リアクティブイオンエッティング(RIE)等により異方的にエッティングする。この時、レジストパターン17が図に示すようにテーパ角を有する側壁を有する場合、レジストパターン17の消費と共に、その側壁は後退し、ゲート絶縁膜14の側壁もテーパ角を有するものとなる。このようにして、40°～80°のテーパ角を有する側壁を生じるようにゲート絶縁膜14をエッティングする。その後レジストパターン17は剥離剤等により除去する。

【0055】図4(C)に示すように、基板上方よりP等の不純物イオンをイオン注入によって半導体層13にドーピングする。イオン注入の加速エネルギーは、ゲート絶縁膜14を通過しない程度に選ぶ。半導体層13が露出している端部でのみ、不純物イオンが注入され、高不純物濃度領域13hが形成される。上方にゲート電極15が形成されている領域13aは、チャネル領域となる。また、チャネル領域13aと高濃度領域13hに挟まれた領域13bは、イオン注入されていず、チャネル領域と高濃度領域を分離するオフセット領域となり、この薄膜トランジスタのオフ特性を確保する。

【0056】図4(C)に示す薄膜トランジスタは、オフ時のリーク電流が低減するが、オン時の抵抗がオフセット領域の存在により増加する可能性を有する。オフセット領域を低不純物濃度を有するLDD領域とすれば、オン時の特性を改良することができる。

【0057】図5(A)～(C)は、本発明の他の実施例による薄膜トランジスタの製造方法および、得られる構造の断面図および不純物濃度分布を示すグラフである。

【0058】図4(C)に示したドーピング工程においては、ゲート絶縁膜を通過しない加速エネルギーでイオン注入を行った。

【0059】図5(A)に示す工程では、上述のゲート絶縁膜14を通過しないイオン注入に加え、ゲート絶縁膜14を通過するイオン注入を行った。

膜14を通過して半導体層13に不純物を注入するドーピングを重ねて行う。例えば、半導体層13が露出している領域にのみ不純物を注入するペアドープは、加速エネルギー10keV、ドーズ量 $7, 5 \times 10^{11} \text{ cm}^{-2}$ で行い、ゲート絶縁膜14も通過して半導体層13に不純物を注入するスルードープは、加速エネルギー70keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ で行う。

【0060】たとえば、ペアドーピングによる不純物濃度は、 $7, 5 \times 10^{11} \text{ cm}^{-2}$ となり、スルードープによる不純物濃度は、 $1 \times 10^{14} \text{ cm}^{-2}$ となる。このようにして、チャネル領域13aの両側に低不純物濃度領域(LDD領域)13dが形成され、その両側に高不純物濃度領域(HDD領域)13hが形成される。

【0061】さらに、チャネル領域13aとLDD領域13dの間に不純物濃度が徐々に変化する不純物濃度勾配領域13cが形成され、LDD領域13dとHDD領域13hの間にも不純物濃度が徐々に変化する不純物濃度勾配領域13eが形成される。

【0062】図5(B)は、不純物濃度勾配領域が形成される部分を拡大して示す。図5(C)は、得られる不純物濃度分布を概略的に示す。ゲート絶縁膜14およびゲート電極15は、テーパ角を有する側壁を有する。従って、このテーパ部分においては半導体層13に対するイオン注入効率が徐々に変化する。

【0063】両端の高不純物濃度(HDD)領域13hは、半導体層13が露出している領域であり、全てのイオン注入を直接受ける。HDD領域13hに隣接し、その上にゲート絶縁膜14の傾斜した側壁を有する領域においては、不純物濃度が高濃度領域13hの濃度から、低不純物濃度領域13dの不純物濃度まで徐々に減少する。

【0064】ゲート電極15の傾斜した側壁を有する領域においては、ゲート電極15の厚さが徐々に増大している。イオン注入の加速エネルギーがゲート絶縁膜14を通過するレベルのため、ゲート電極15の厚さが薄い間は、ゲート電極15、ゲート絶縁膜14を通過して不純物イオンが半導体層13に注入される。ゲート電極15の厚さの増大に従い、注入される不純物イオンの濃度は減少する。このようにして、低不純物濃度(LDD)領域13dに隣接し、チャネル領域13aとの間に不純物濃度が徐々に減少する超低不純物濃度領域(SLDD)13cが形成される。

【0065】このような不純物濃度分布を実現することにより、半導体層13内に空乏層が形成された時の電界集中が緩和される。LDD領域13dは、不純物濃度が低いほど電界集中緩和には効果的であるが、不純物濃度を下げ過ぎると、オン時の抵抗が増加してしまう。オン時の抵抗をある程度以下にするためには、不純物濃度をあるレベル以上にすることが望まれる。このような場合、不純物濃度分布を急激に変化させると、その不純物

濃度が急激に変化する領域において電界集中が生じ易い。

【0066】SLDD領域13cを形成することにより、電界集中を避けつつ、LDD領域の存在によるオン抵抗の増大を防止することが容易になる。

【0067】さらに、ゲート電極15およびゲート絶縁膜14が、それぞれ傾斜する側壁を有すると、この上に絶縁膜、さらにその上に上層配線層を形成した時、層間絶縁膜、上層配線層の段差被覆性が向上する。

【0068】図6(A)は、液晶表示装置における薄膜トランジスタマトリックスを概略的に示す平面図である。表示領域には、画素電極PXが行列状に配列されている。1番上の行には、画素電極PX11、PX12、...が並んで配置され、画素行列の第1行目を形成する。画素電極PX11の下には、画素電極PX21、PX31,...が並んで配置され、画素行列の列を形成する。同様に、平面上にマトリックス状に画素電極PXが配置され、表示面を構成する。

【0069】各画素電極には、薄膜トランジスタTFTが接続されている。TFTのゲート電極は、ゲート配線G1、G2、...に接続され、ゲート配線G1、G2、...はゲートドライバGDにより制御される。各TFTのドレイン電極は、ドレイン配線D1、D2、...に接続される。ドレイン配線D1、D2、...は、データドライバDDから信号電圧を受ける。

【0070】データドライバDDは、1行分の画素情報を受け、対応する電圧を発生する。従って、ゲートドライバGDで選択されたゲート配線Gに接続された1行のトランジスタがオンにされ、その1行の画素行にデータドライバDDから印加される画像情報を表す電圧が供給される。

【0071】画素電極PXに画像情報が蓄積された後、薄膜トランジスタTFTはオフされ、画素電極PXに蓄積された電圧はそのまま蓄積される。

【0072】図6(B)は、1画素部分の薄膜トランジスタTFTとゲート配線G1、ドレイン配線Djの配置を概略的に示す。ゲート配線G1とドレイン配線Djは、交差部CRを形成する。交差する配線を実現するためには、多層配線構造を採用する必要がある。この多層配線構造の下層配線となるゲート配線G1として、上述の実施例に従うテーパ角を有する側壁を持つ配線層を用いれば、上層配線となるドレイン配線の段差被覆性が向上する。

【0073】図7(A)～(C)は、ゲート電極およびゲート配線として上述の実施例によるテーパ角を有する配線層を用いた場合の構成を概略的に示す。

【0074】図7(A)において、ゲート配線15は、水平方向に延在し、平坦な上面およびその両側に傾斜した側壁を有する。ゲート配線15の両側には、ゲート絶縁膜14が羽根状に露出する。なお、図7(A)においてはゲート絶縁膜14の傾斜した側壁は図示を省略している。

10

【0075】ドレイン配線Djを形成する金属パターン20は、層間絶縁膜を介してゲート配線15の上に配置される。ゲート配線15が、傾斜した側壁を有するため、層間絶縁膜の段差被覆性が向上し、ゲート配線20の段差被覆性が向上する。なお、ドレイン配線Djとともに、薄膜トランジスタTFTのソース領域と画素電極とを接続するための配線領域20も形成される。この配線領域の上に、層間絶縁膜が形成され、その上に画素電極となるITO膜19が形成される。なお、画素電極19とソース配線部20との間およびソース配線部20と半導体層13のソース領域との間は、コンタクトホールCHを介して電気的に接続される。

【0076】このような構成において、破線7B-7Bおよび7C-7Cに沿う断面構造を図7(B)および7(C)に示す。

【0077】図7(B)は、ゲート配線とドレイン配線が交差する部分の断面構造を示す。ガラス基板11上に平坦な表面を有するSiO<sub>2</sub>層12が形成され、その上にストライプ状のゲート絶縁膜14が形成されている。ゲート絶縁膜14の上には、テーパ角を有する側壁を持つゲート配線15が形成される。ゲート配線15の厚さが厚くなても、その側壁はテーパ角を有するため、その上に形成される層間絶縁膜16の段差被覆性は向上する。従って、さらにその上に形成されるドレイン配線20およびさらにその上の層間絶縁膜18の段差被覆性も向上する。

30

【0078】図7(C)は、薄膜トランジスタと画素電極との接続部分の断面構造を示す。ガラス基板11上に平坦なSiO<sub>2</sub>層12が形成され、その上に薄膜トランジスタを形成する半導体層13の島状パターン13が形成されている。半導体層13の島状パターンの中央部に、ゲート絶縁膜14が形成され、さらにその中央部の上にゲート配線15が形成されている。

【0079】ゲート配線15がテーパ角を有する側壁を有するため、その上に形成される層間絶縁膜16の段差被覆性は向上している。層間絶縁膜16にコンタクトホールCHが形成され、コンタクトホールCHを介してソース/ドレイン配線20が形成される。ソース/ドレイン配線20の上に、さらに層間絶縁膜18が形成され、コンタクトホールCHが画素電極との接続部に形成される。層間絶縁膜18の上に、ITO膜19が形成され、ソース配線20と接続される。

【0080】たとえば、半導体層13は、厚さ15～70nmを有する。ゲート絶縁膜14は、厚さ50～200nmを有する。ゲート絶縁膜14上のゲート電極15は、厚さ100～800nmを有する。ゲート電極15の厚さが厚くなても、側壁がテーパ角を有する場合、

その上に形成される層間絶縁膜16の段差被覆性は向上する。

【0081】なお、ゲート電極15の両側に羽根状に延在するゲート絶縁膜の領域は、幅0.1~2.0μm、より好ましくは幅0.7~1μmを有する。また、ゲート電極15のテーパ角を有する側壁は、ゲート絶縁膜14の平坦な上面に対し、20~70°、好ましくは20~55°の角度をなす。

【0082】上述の実施例においては、A1(A1合金)層堆積後、A1層表面をTMAH溶液、または自然酸化膜、または自然水和膜を除去できる性質を有する薬剤で処理した。他の方法を用い、同様の効果を期待することもできる。

【0083】図8(A)、(B)は、順テーパ角を形成するエッチングの他の方法を示す。図8(A)においては、絶縁基板1の表面上に半導体層3を形成後、必要に応じてバターニングを行う。半導体層3を覆うように絶縁層4を形成する。絶縁層4の上に、A1(A1合金)層51を堆積し、その表面上にTi層52を堆積する。Tiは、例えば希土類元素を含む溶液を用いるとA1と較べエッチングレートが高い特徴を有する。

【0084】Ti層52の上にレジストパターン7を形成し、レジストパターン7をエッチングマスクとして、Ti層52、A1層51をバターニングする。この際、Ti層52のエッチングレートがA1層51のエッチングレートよりも速いため、エッチングはTi層に対して優先的に進む。従って、下にA1層51、上にTi層52を有する積層構造のエッチングは、順テーパ角を維持したまま進行する。

【0085】図8(B)は、通常のエッチングにおいて順テーパ角を形成する方法を示す。絶縁基板1上に半導体層3、絶縁層4を形成した後、A1(A1合金)層5を堆積する。A1層5の上にレジストパターン7を形成し、レジストパターン7をエッチングマスクとしてA1層5をエッチングする。エッチングは、時間経過と共にT0、T1、T2、T3、...のように進行する。ここで、エッチングを長時間続けると、T7のような側壁となり、その上部においてオーバーハングが形成されやすい。しかしながら、その前の段階においては、T6で示すように順テーパ状の側壁が形成される。従って、このタイミングを選択すれば、順テーパ状の側壁を有するパターンが形成される。

【0086】さらに、エッチングされた側壁を2段形状に形成することもできる。図8(C)は、エッチングされた側壁を2段階に傾斜させるエッチング方法を示す。図8(B)同様に、絶縁基板1の上に半導体層3、絶縁層4、A1(合金)層53を形成する。A1層53の上にレジストパターン7を形成し、レジストパターン7をエッチングマスクとしてウエットエッチングを行う。エッチング液は、H<sub>2</sub>PO<sub>4</sub>、HNO<sub>3</sub>、CH<sub>3</sub>COO

H<sub>2</sub>Oを含む液を用いる。好ましくは、HNO<sub>3</sub>を5wt%以上含むエッチング液を用いる。

【0087】このエッチング液を使用してA1層5をエッチングすると、エッチング中にN<sub>2</sub>やH<sub>2</sub>等の反応ガスが発生する。反応ガスは一部は気泡となってエッチング液中を上昇するが、一部は気泡となってレジストマスクの下部に溜まる。マスクの下部に溜まる反応ガスはマスクの外側部分をA1層5から押し上げる。このためにマスクの外側部分とA1層とのギャップがひらきエッチング駆がマスクの下でA1層の表面に回り易くなる。

【0088】このため、A1層のエッチングされた側壁上部53aは、下地表面に対し角度θ2傾くことになる。それよりも下部は、反応ガスの影響を受け難く、図8(B)と同様の側壁53bが形成される。この側壁53bは下地表面に対し角度θ1を形成する。ここでθ1>θ2となる。

【0089】図8(C)のエッチングは、エッチングされた導体層の段差被覆性を高め、かつ導体層の下部においては断面のテーパ角を高めるため、厚さの薄い導体層部分が減少し、幅の狭い配線で所望の低抵抗を実現し、段差被覆性を向上するのに有効となる。

【0090】図9は、デュアルゲートを有するTFTの上面構造を概略的に示す。半導体層13は、図中横方向に長く形成され、その中間に2つのゲート(デュアルゲート)が形成される。即ち、半導体層13の上をゲート絶縁膜14で覆い、その上にゲート電極兼ゲート配線のA1層15を形成する。A1層15の上にレジストパターンを形成し、上述のエッチング方法により、ゲート層15およびその下のゲート絶縁膜14をバターニングする。

【0091】半導体層13の上に並んだ2つのゲート電極が形成される。その後、層間絶縁膜を介してドレイン配線20および画素電極19が形成される。ドレイン配線20および画素電極19は、コンタクトホールCHを介して半導体層13に接続される。

【0092】このようなデュアルゲート構造においては、半導体層13の上に2つのゲートを並んで配置される。ゲート電極のテーパ角があまり小さいと、ゲート電極の抵抗を低めるためにはゲート電極幅を大きなものにしなければならない。TFTの寸法が大きくなり、画素電極19の占有する面積を制限する原因となってしまう。従って、ゲート電極のテーパ角はある程度以上大きなことが望ましい。この観点からは、ゲート電極の側壁が一定のテーパ角を形成する場合、エッチングにより形成されるゲート層のテーパ角は、20°以上あることが望ましい。

【0093】図6(A)に示すような液晶表示装置を形成する場合、表示領域内には、1つの画素に対し1つの薄膜トランジスタTFTが形成される。このTFTは、例えば全てnチャネルトランジスタで形成される。しか

しながら、ゲートドライバGD、データドライバDD他の周辺回路は、相補型トランジスタを用いて形成することが望まれる。

【0094】周辺回路にCMOS TFTを形成する場合、その一方の導電型のトランジスタ、例えばnチャネルTFTは、表示領域内のスイッチングトランジスタTFTと同一の工程で形成される。他方の導電型のトランジスタも、なるべく多くの工程を共通にして形成することが望まれる。

【0095】図10(A)～(D)、図11(E)～(G)、図12(H)～(J)は、相補型TFTトランジスタを形成する方法を示す基板の断面図である。

【0096】図10(A)に示すように、厚さ0.7mのガラス基板11の1表面上に、シリコン酸化膜12を例えば厚さ200nm程度PECVDで堆積する。このシリコン酸化膜は、ガラス基板11から不純物が上層に拡散することを防止する。シリコン酸化膜12の上に、アモルファスシリコン膜を例えば厚さ50nmPECVDにより成膜し、レジストパターンを用いてパターンングして、アモルファスシリコンの島状領域13a、13bを形成する。

【0097】なお、このアモルファスシリコン膜には、TFTの閾値制御のために若干のボロン(B)をドープしている。このアモルファスシリコン膜に脱水素アニールを行った後、エキシマレーザを照射し、結晶化処理を行う。レーザ照射によって、アモルファスシリコン膜は多結晶シリコン膜に変換される。

【0098】その後、ホトリソグラフィ工程および多結晶シリコン膜のエッティングを行うことにより、多結晶シリコン膜の島状パターン13a、13bを形成する。この時、多結晶シリコン膜の側壁が傾斜するようにエッティングすると段差被覆性を向上するために好ましい。

【0099】図10(B)に示すように、パターンングした多結晶シリコン膜13a、13bの表面を希硫酸水溶液で洗浄した後、ゲート絶縁膜となるシリコン酸化膜14を例えば厚さ120nmPECVDで堆積する。シリコン酸化膜14のアニールを行った後、2at%～5at%のNdを含むAl合金で形成されたゲート層15をスパッタリングで厚さ約300nm堆積する。この時の膜厚分布は、例えば約±10%である。

【0100】次に、基板を例えば2.2%TMAH水溶液中にディップして、TMAH処理を行う。続いてメガソニック水洗を行い、その後、表面を乾燥させる。このように処理したAl合金層15の上に、ホトレジストを塗布し、露光、現像を行ってレジストパターンを形成する。

【0101】図10(C)は、レジストパターン17a、17bを形成した状態を示す。レジストパターンを形成した後、基板所定温度に加熱しポストピークを行う。ポストピーク温度は、例えば図3に示すような性質

を有し、所望のテーパ角度を実現するように選択する。例えば、ポストピーク温度を100°Cに設定し、テーパ角度を35°に設定する。

【0102】図10(D)に示すように、レジストパターン17a、17bをエッティングマスクとし、先ず磷酸、硝酸、酢酸を含む水溶液によってAl合金層15をエッティングする。このウェットエッティングは、Al合金層15の全厚さをエッティングした後、さらにサイドエッティング(テーパエッティング)を行い、レジストパターン

10 17a、17b端部から0.7～1.0μm内部に入り込んだ形状を実現する。ポストピーク温度を100°Cに設定したため、Al合金層15a、15bのテーパ角度は約35°となる。

【0103】再び100°Cで基板をアフターピークし、次にリアクティブイオンエッティング(RIE)により、ゲート絶縁膜14のエッティングを行う。例えば、CHF<sub>x</sub>ガスを用いたRIEを行い、ゲート絶縁膜14を異方向にエッティングする。このエッティングにおいて、レジストパターン17a、17bの側壁が徐々に後退するような条件を設定することにより、ゲート絶縁膜14a、14bの側壁も順テーパ角度を有するようにエッティングされる。

【0104】ゲート絶縁膜14a、14bのエッティングはRIEによる異方向エッティングによって行われるため、その形状はレジストパターン17a、17bの形状によって制御され、サイドエッティングされたAl合金層15a、15bの形状よりも大きく形成される。ゲート絶縁膜14a、14bがAl合金層15a、15bの下端から外側に延在する羽根状領域は、0.7～1.0μm程度となる。ゲート絶縁膜14a、14bの側壁は、例えば約60°の順テーパ角を有するように形成される。

【0105】その後基板を水洗し、ライトアッシングを行った後にレジストパターン17a、17bを剥離剤で除去する。ライトアッシングはRIEによるレジスト層の表面変質層を灰化する処理である。ライトアッシングの前の水洗は、ドライエッティング時に用いたフッ素系ガス(CHF<sub>x</sub>)が基板面内に残留しないように行う。フッ素系ガスが残留すると、ライトアッシングにおいてゲート絶縁膜およびその下の多結晶シリコン膜がエッティングされてしまう。

【0106】図11(E)に示すように、基板上方からイオンドープ法によりn型不純物である磷(P)をイオン注入する。イオン注入条件は、例えば2回のイオン注入、すなわちスルードープとペアドープを行う。

【0107】スルードープは、ゲート絶縁膜14a、14bを通過してその下の多結晶シリコン層13a、13bにイオン注入を行えるドープ条件であり、例えば加速エネルギー70keV、ドーズ量1×10<sup>14</sup>cm<sup>-2</sup>で行い、ゲート絶縁膜下の多結晶シリコン層中の不純物濃度

が $1 \times 10^{13} \text{ cm}^{-3}$ となる。

【0108】ペアドープは、例えば加速エネルギー10k eV、ドーズ量 $7.5 \times 10^{14} \text{ cm}^{-2}$ で行い、露出している多結晶シリコン層13内の不純物濃度が約 $7.5 \times 10^{14} \text{ cm}^{-3}$ になるようを行う。

【0109】このように、ゲート絶縁膜14a、14bで覆われていない領域の不純物濃度はゲート絶縁膜で覆われ、かつスルードープを受けた領域の不純物濃度に対し少なくとも2倍以上、より好ましくは5倍以上の不純物濃度に設定される。このような2段階のイオン注入により、LDD領域とHDD領域を有するLDD構造が実現される。

【0110】図11(F)に示すように、nチャネルトランジスタを形成する領域をホトレジストパターン27で覆う。pチャネルトランジスタを形成する領域は、ホトレジストパターン27の外部に露出させる。この状態で、イオンドープ法によりボロン(B)をイオン注入す。ボロンのイオン注入条件は、先に行われた磷(P)のイオン注入条件よりも高濃度とし、イオン注入領域を補償し、反転するように選択する。ボロンをイオン注入されたHDD領域は、n'型からp'型に変換される。LDD領域は、n'型からp'型に変換される。

【0111】このようにして、nチャネルTFTがpチャネルTFTに変換される。ボロンBのイオン注入は、図11(E)を参照して説明した2段階イオン注入法によってもよく、1回のイオン注入で行ってよい。1回のイオン注入で行う場合には、ゲート絶縁膜14b下の領域が、n'型からp'型に変換されるようにイオン注入条件を選択する必要がある。その後レジストパターン27は、アッシングして剥離し、その後水洗を行う。

【0112】図11(G)は、このようにして形成された相補型TFTを示す。相補型TFTを用いることにより、低消費電力のインバータ回路等を形成することができる。相補型TFTをLDD構造で形成することにより、短チャネルの相補型TFTで高速動作を実現し、オン状態においてもドレイン破壊電圧が低下しない(ショートチャネル効果を起こし難い)半導体回路を作成することができる。

【0113】なお、イオンドーピングを非質量分離型のイオン注入によって行う場合、イオン注入された領域には目的とする不純物と共に水素も多量に注入される。この水素を離脱させるために、例えば380°Cで2時間程度の脱水素アニールを行う。

【0114】また、イオン注入された領域は、イオン注入時のエネルギー衝撃によって微結晶化または非品質化されやすい。このため、エキシマレーザによる活性化処理を行うことが好ましい。また、エキシマレーザの活性化の代わりに、またはエキシマレーザの活性化と共に、ラピッドサーマルアニール(RTA)による活性化処理を行ってよい。

【0115】図12(H)に示すように、相補型TFTを形成した基板表面上に、TFTを覆うように第1層間絶縁膜としてシリコン空化膜16をプラズマ励起CVDにより、例えば厚さ400nm堆積する。その後アニールを行い膜質を改善する。シリコン空化膜16上にレジストパターンを形成し、シリコン空化膜をエッチングすることによりコンタクトホールCHを形成する。

【0116】図12(I)に示すように、基板表面を希フロ酸水溶液で洗浄した後、例えば厚さ約100nmのTi膜、厚さ約200nmのAl-Si膜、厚さ約100nmのTi膜の3層積層構造を連続的に堆積し、その上のレジストパターンを形成し、エッチングを行うことによりソース電極、ドレイン電極、ドレイン配線等を含む配線層20を形成する。

【0117】図12(J)に示すように、基板表面上に第2の層間絶縁膜としてシリコン空化膜18を堆積する。シリコン空化膜上にレジストパターンを形成し、エッチングを行うことによりコンタクトホールCHを形成する。コンタクトホールCHを形成した層間絶縁膜18上に、ITO膜を堆積し、ホトリソグラフィ工程とエッチング工程により画素電極19および外部端子電極の最上層を形成する。

【0118】なお、第2層間絶縁膜としては感光性透明樹脂を用い、表面を平坦化しても良い。外部端子電極の最上層としてITO膜を形成するのは、接続時の特性向上のためである。最後にTFT特性回復のため、200°Cで約一時間のアニールを行う。

【0119】このような方法によれば、少ないマスク数でガラス基板上に相補型TFT回路を形成することができる。テーパー構造を採用することにより、上層形成時の段差被覆性が向上し、歩留りが向上する。

【0120】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

### 【0121】

【発明の効果】以上説明したように、本発明によれば、少ないマスク数でLDD構造を有する薄膜トランジスタを作成することができる。製造プロセスにおける段差被覆性が向上するため、歩留りを向上することができる。自己整合的に対称的構成を有するTFTを作成することができる。

### 【図面の簡単な説明】

【図1】本発明の実施例によるエッチング方法を説明するための基板の断面図である。

【図2】図1の実施例に従う実験の結果を示すグラフである。

【図3】図1の実施例に従う実験の結果を示すグラフである。

【図4】本発明の実施例によるTFTの製造方法を説明

するための基板の断面図である。

【図5】本発明の実施例によるTFTの製造方法を説明するための基板の断面図である。

【図6】液晶表示装置のガラス基板上に形成するアクティブ回路の構成を概略的に示す上面図である。

【図7】本発明の実施例による半導体装置の製造方法によって得られる半導体装置の構造を示す平面図および断面図である。

【図8】本発明の他の実施例によるエッチング方法を説明するための基板の断面図である。

【図9】液晶表示装置のアクティブ回路の他の構成例を示す上面図である。

【図10】本発明の他の実施例による相補型TFT構造

の製造方法を説明するための基板の断面図である。

【図11】本発明の他の実施例による相補型TFT構造の製造方法を説明するための基板の断面図である。

【図12】本発明の他の実施例による相補型TFT構造の製造方法を説明するための基板の断面図である。

【符号の簡単な説明】

1 ガラス基板

2、4 SiO<sub>2</sub> 層

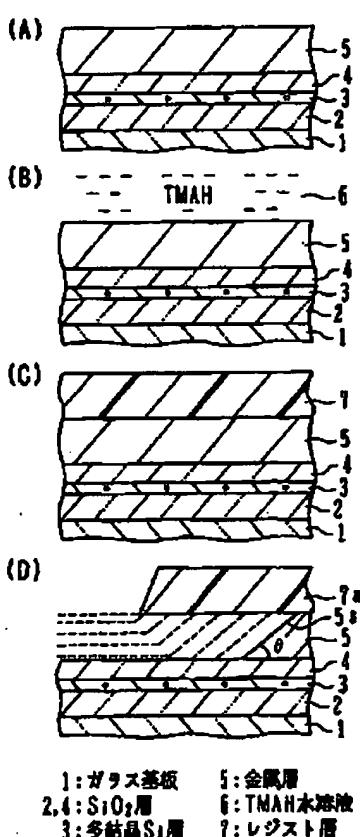
3 多結晶SiO<sub>2</sub> 層

10 5 金属層

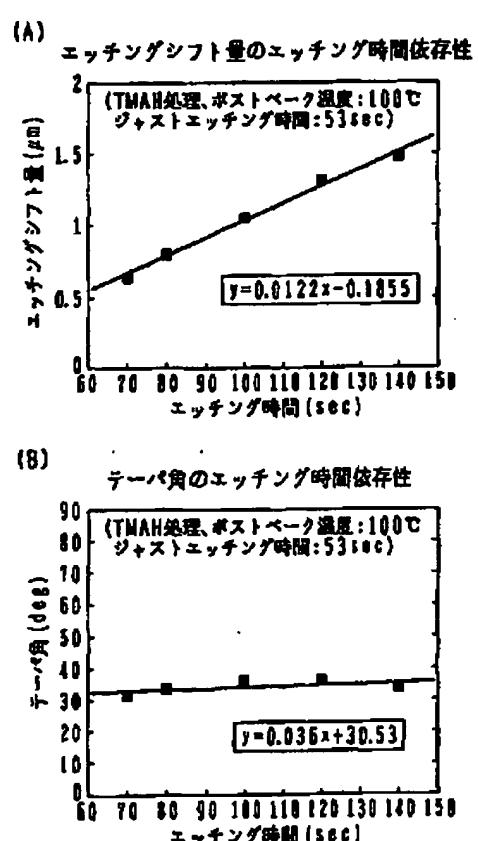
6 TMAH水溶液

7 レジスト層

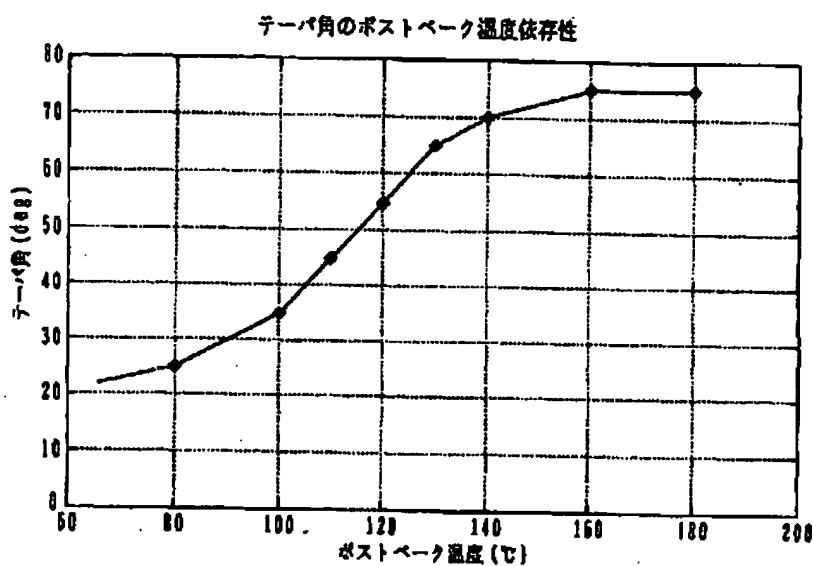
【図1】



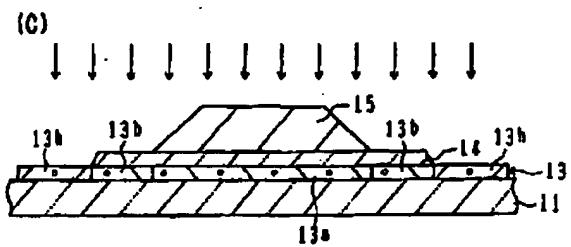
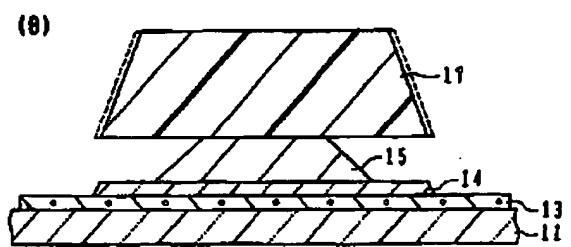
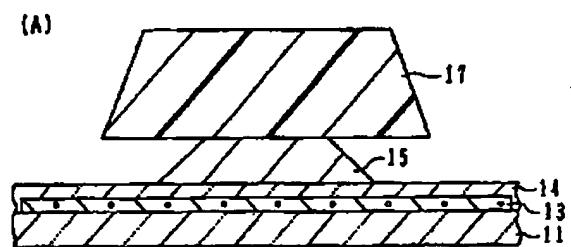
【図2】



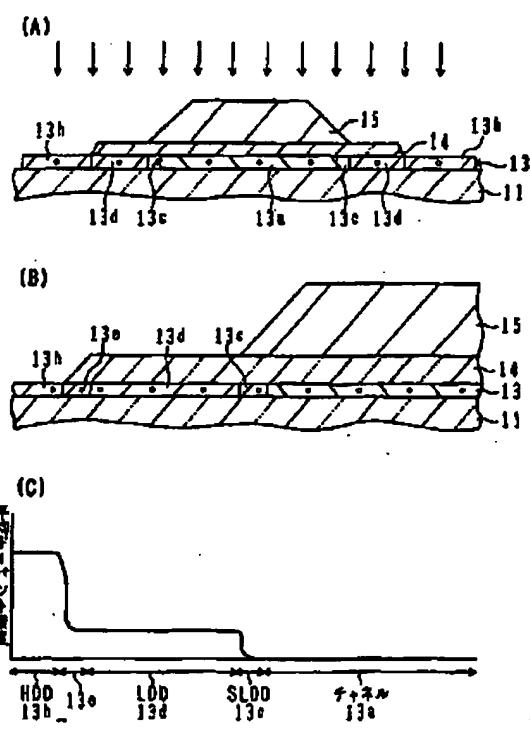
【図 3】



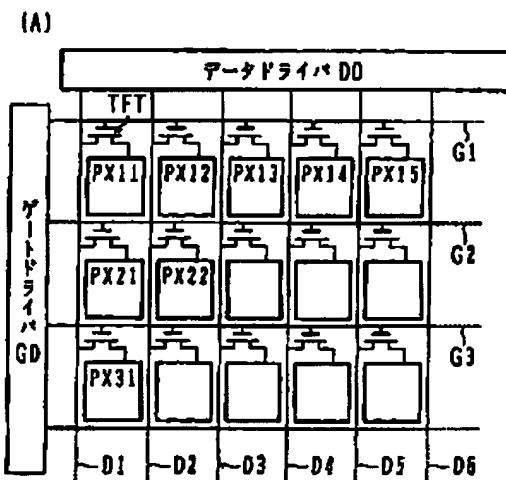
【図 4】



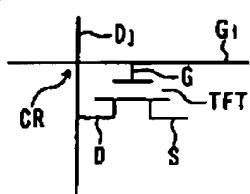
【図 5】



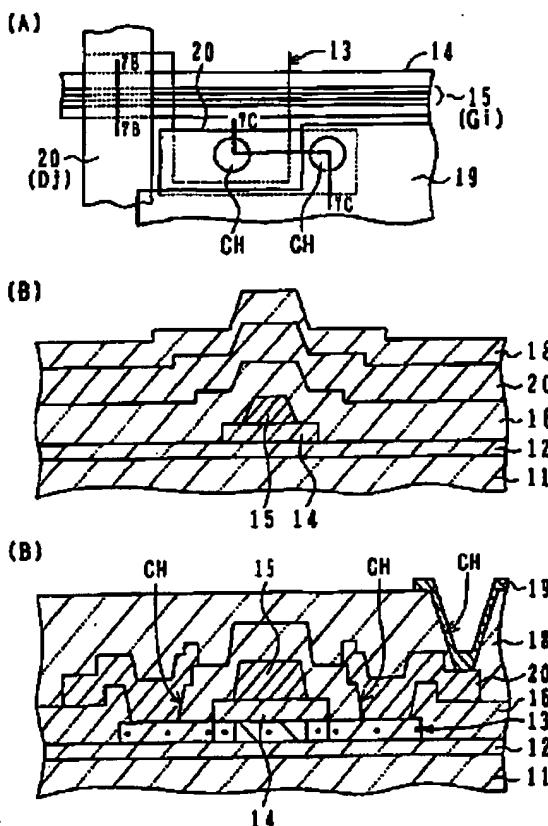
【図6】



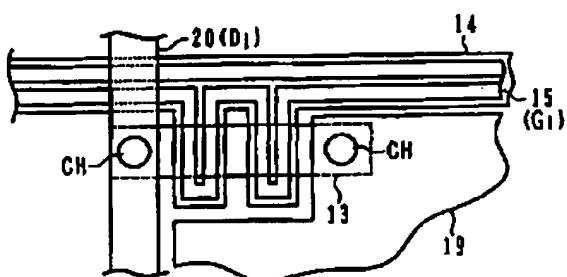
(B)



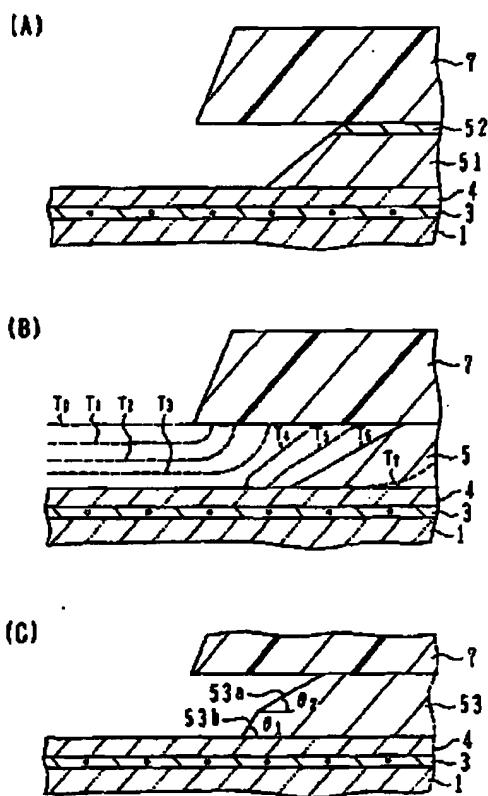
【図7】



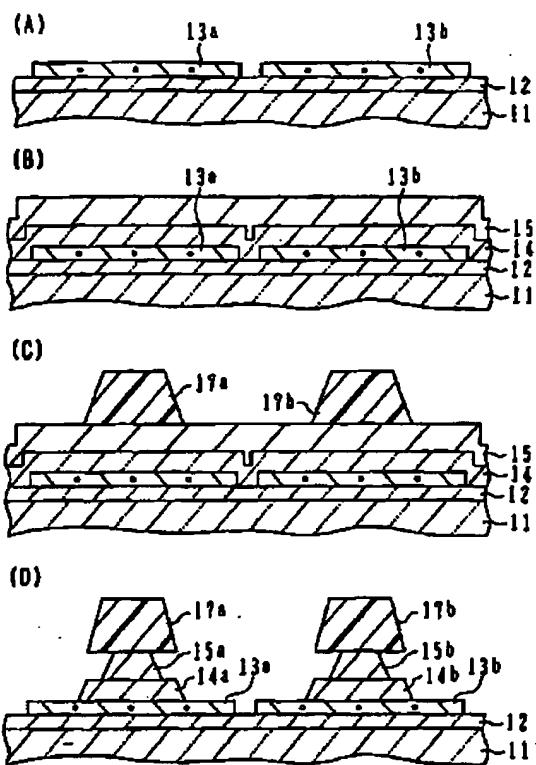
【図9】



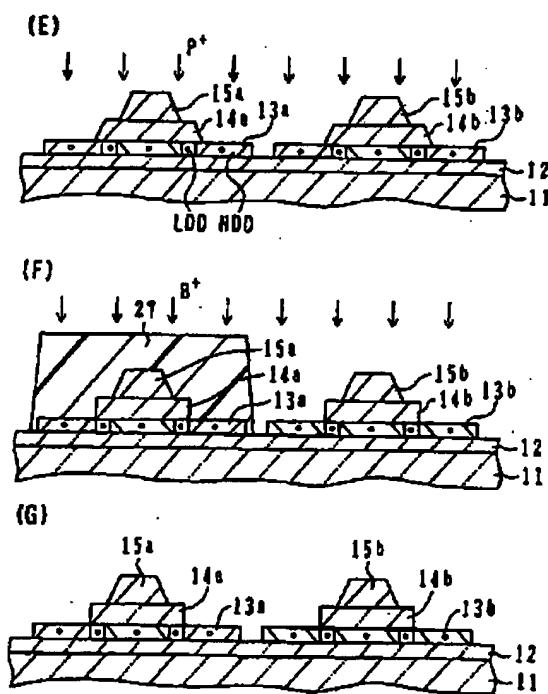
【図8】



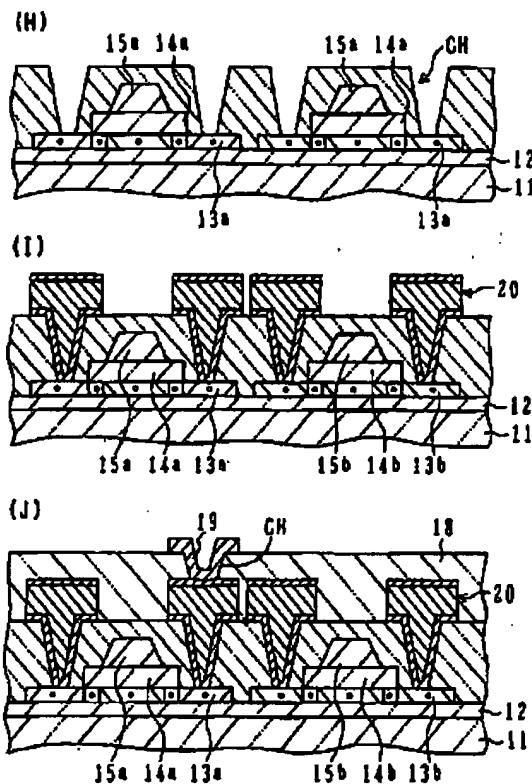
【図10】



【図11】



【図 12】



フロントページの続き

F ターム(参考) 2H092 HA28 JA25 JA33 JA35 JA38  
JA39 JA46 JB24 JB27 JB33  
JB36 JB44 JB58 KA04 KA05  
KA10 KA12 KA18 KB04 KB25  
MA07 MA08 MA15 MA18 MA19  
MA20 MA27 MA30 MA37 MA41  
NA19 NA27 NA29  
4K057 WA20 WB05 WB08 WB15 WC10  
WE02 WE04 WN01  
5F043 AA24 AA27 BB16 CC11 DD02  
FF04 GG04

**Family list**

6 family members for:

**JP2000047263**

Derived from 5 applications.

- 1 ETCHING METHOD, THIN FILM TRANSISTOR MATRIX SUBSTRATE AND ITS PRODUCTION**  
Publication Info: **JP2000047263 A** - 2000-02-18
- 2 ETCHING METHOD AND THIN FILM TRANSISTOR MATRIX SUBSTRATE AND MANUFACTURING METHOD THEREOF**  
Publication Info: **KR2000011242 A** - 2000-02-25
- 3 Etching method, thin film transistor matrix substrate, and its manufacture**  
Publication Info: **TW486584 B** - 2002-05-11
- 4 Etching method, thin film transistor matrix substrate, and its manufacture**  
Publication Info: **US6335290 B1** - 2002-01-01
- 5 Etching method, thin film transistor matrix substrate, and its manufacture**  
Publication Info: **US6534789 B2** - 2003-03-18  
**US2001019127 A1** - 2001-09-06

---

Data supplied from the esp@cenet database - Worldwide

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2000047263  
PUBLICATION DATE : 18-02-00

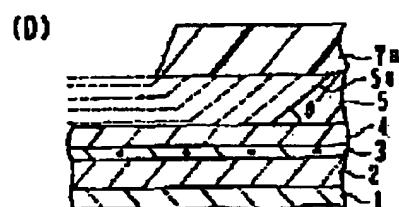
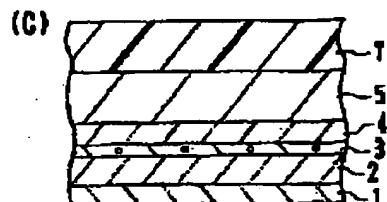
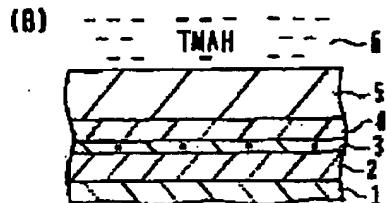
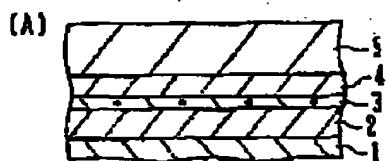
APPLICATION DATE : 31-07-98  
APPLICATION NUMBER : 10218063

APPLICANT : FUJITSU LTD;

INVENTOR : ISHIDA YUKIMASA;

INT.CL. : G02F 1/136 C23F 1/20 H01L 21/306  
H01L 29/786 H01L 21/336

TITLE : ETCHING METHOD, THIN FILM  
TRANSISTOR MATRIX SUBSTRATE  
AND ITS PRODUCTION



ABSTRACT : PROBLEM TO BE SOLVED: To improve the step coverage in the production process and to improve the yield by forming a resist pattern on the surface of a layer treated with TMAH and using the resist pattern as an etching mask.

SOLUTION: A SiO<sub>2</sub> layer 2 is deposited by plasma excited chemical vapor phase deposition on the flat surface of a glass substrate 1, and an amorphous Si layer 3 is formed thereon by CVD. After the Si layer 3 is converted into polycrystalline Si, a SiO<sub>2</sub> layer 4 is deposited by excited chemical vapor phase deposition, and a metal layer 5 of Al or Al alloy is deposited thereon by sputtering. The substrate is dipped in a TMAH aq. soln. 6 and cleaned with pure water to dry the surface of the metal layer 5. A resist layer 7 is applied on the surface of the metal layer 5, prebaked, selectively exposed and developed. Then the substrate is further heated to postbake the resist pattern. The resist pattern 7a thus formed is used as an etching mask to etch the metal layer 5 in a wet state.

COPYRIGHT: (C)2000,JPO

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**